

PAT-NO: JP403171820A

DOCUMENT-IDENTIFIER: JP 03171820 A

TITLE: 2N-1 FREQUENCY DIVIDING CIRCUIT

PUBN-DATE: July 25, 1991

INVENTOR-INFORMATION:

NAME

TOYOFUKU, HIDETOSHI

KAJIWARA, MASANORI

TANAKA, TAKESHI

MASE, HIDEKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP01310073

APPL-DATE: November 29, 1989

INT-CL (IPC): H03K023/50

US-CL-CURRENT: 377/118

ABSTRACT:

PURPOSE: To obtain a $2n-1$ frequency dividing circuit with a simple constitution by feeding back the NAND output between the Q output of a flip flop in the $(n-1)$ th stage and that in the last stage to the D input of a flip flop in the first stage.

CONSTITUTION: The n-number of D type flip flops 10 connected in series and a NAND gate 11 which operates NAND between a Q output Q_{n-1} of the flip flop 10 in the $(n-1)$ th stage and a Q output Q_n of the flip flop 10 in the n-th stage (last stage) are provided, and flip flops 10 constitute a series connection circuit where the Q output of each flip flop is connected to the D input of the flip flop in the next stage. The output of the NAND gate 11 is fed back to a D input D_1 of the flip flop 10 in the first stage. That is, the NAND output between the Q output of the flip flop 10 in the $(n-1)$ th stage and that in the last stage is fed back to the D input of the flip flop 10 in the first stage.

Thus, odd frequency division is performed with simple constitution.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報 (A) 平3-171820

⑬ Int. Cl. 5
H 03 K 23/50識別記号 庁内整理番号
7125-5J

⑭ 公開 平成3年(1991)7月25日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 2n-1 分周回路

⑯ 特 願 平1-310073

⑰ 出 願 平1(1989)11月29日

⑱ 発明者 豊 福 秀 敏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発明者 梶 原 正 範 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑳ 発明者 田 中 剛 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内㉑ 発明者 間瀬 秀樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代理人 弁理士 井島 藤治 外1名

明細書

1. 発明の名称

2n-1 分周回路

2. 特許請求の範囲

n個のDタイプフリップフロップ(10)を直
列接続し、各フリップフロップのクロック入力にはクロック
を共通入力し、n-1段目のフリップフロップ(10)のQ出
力と、最終段のフリップフロップ(10)のQ出
力との NAND をとる NAND ゲート(11)を設け、
該 NAND ゲート(11)出力を初段のフリップ
フロップ(10)のD入力にフィードバックして
構成され、最終段のフリップフロップ(10)の
Q出力をその出力とする2n-1分周回路。

3. 発明の詳細な説明

[概要]

n個のDタイプフリップフロップをn個用いて
構成される2n-1(奇数)分周回路に関し、
奇数分周回路を簡単な回路で実現することを目

的とし、

n個のDタイプフリップフロップを直列接続し、
各フリップフロップのクロック入力にはクロック
を共通入力し、n-1段目のフリップフロップの
Q出力と、最終段のフリップフロップのQ出力と
の NAND をとる NAND ゲートを設け、該 NAND ゲ
ート出力を初段のフリップフロップのD入力にフ
ィードバックして構成される。

[産業上の利用分野]

本発明はn個のDタイプフリップフロップをn
個用いて構成される2n-1(奇数)分周回路に
関する。

[従来の技術]

あるクロックを2のべき乗に分周する回路は、
Dタイプのフリップフロップ又はカウンタを用い
て比較的簡単にでき、よく用いられている。第4
図は1/16分周回路の構成概念図である。フリ
ップフロップ1が4個で1/2⁴ = 1/16の

分周回路を構成している。一般的に、 n 個のフリップフロップを用いて構成された分周回路の出力は $1/2^n$ 分周となる。

第5図は第4回路の各部の動作波形を示す図である。(a)はクロックを、(b)は初段出力Q Aを、(c)は2段出力Q Bを、(d)は3段出力Q Cを、(e)は最終段出力Q Dをそれぞれ示している。最終段出力Q Dの周期T内にクロックが16個含まれ、 $1/16$ 分周されていることが分かる。

これに対して奇数分周回路は特に決まった回路はなく、そのつど回路を考案している。第6図は $1/7$ 分周回路の構成例を示す図である。第4図の回路に比較してフリップフロップ1を3段直列接続し、全てのクリップフロップのQ出力と NANDを NANDゲート2でとり、該 NANDゲート2の出力を全てのフリップフロップ1のクリア入力C Lに入れている。第5図のQ A、Q B、Q C出力波形図をみると明らかのように、クロック7発目の立ち下がりでいずれも“1”になっている。従

って、7発目の立ち下がりで NANDゲート2の出力は“0”になり、フリップフロップ全てを0にクリアし、 $1/7$ 分周回路が実現できる。

【発明が解決しようとする課題】

前述したように、あるクロックを奇数分周するのは特に決まった回路がなく、必要となる度に回路を考案しなければならず、時間がかかり、また回路設計上の誤りもおかしい。

本発明はこのような課題に鑑みてなされたものであって、簡単な回路で奇数分周回路を提供することを目的としている。

【課題を解決するための手段】

第1図は本発明の原理ブロック図である。図において、10は n 個直列接続されたDタイプフリップフロップである。11は $n-1$ 段目のフリップフロップ10のQ出力Q_{n-1}とn段(最終段)のQ出力Q_nのNANDをとるNANDゲートである。フリップフロップ10はそのQ出力が次段のD入

力に接続された直列接続回路を構成している。NANDゲート11の出力は初段のフリップフロップ10のD入力D1にフィードバックされている。

入力クロックは各段のフリップフロップ10のクロック入力CK1～CK_nに共通に入っている。そして、分周回路の出力は最終段のフリップフロップ10のQ出力Q_nから出力される。

【作用】

$n-1$ 段目のフリップフロップ10のQ出力と最終段のフリップフロップ10のQ出力とのNAND出力を初段のフリップフロップ10のD入力にフィードバックする。これにより、図に示す回路は系が安定した状態では 2^{n-1} 分周回路、つまり $1/(2^{n-1})$ 分周回路として動作する。図より明らかのように、本発明によれば極めて簡単な構成で奇数分周を行うことができる。

【実施例】

以下、図面を参照して本発明の実施例を詳細に

説明する。

第2図は本発明の一実施例を示す回路図である。第1図と同一のものは、同一の符号を付して示す。図に示す実施例は、Dタイプのフリップフロップ10が4個直列接続されており、 $n=4$ であり、 $2^{n-1}=8-1=7$ となり、 $1/7$ 分周回路を示している。第3段目のフリップフロップ10の出力Q3と第4段目のフリップフロップ10の出力Q4とのNANDがNANDゲート11でとられ、該NANDゲート11の出力が初段のD入力D1にフィードバックされている。このように構成された回路の動作を説明すれば、以下のとおりである。

まず、D1、D2、D3、D4、Q4の初期状態を“10000”とする。最初のクロックの立ち上がりでD2が“1”となり、2番目のクロックの立ち上がりでD3が“1”となり、3番目のクロックの立ち上がりでD4が“1”となり、4番目のクロックの立ち上がりでQ4が“1”となる。

ここで、D4とQ4が“1”となるので、NANDゲート11の出力は“0”となり、D1が“0”

となる。更に、3つのクロックの立上がりがきた時に、D 4 が "0" になり、Q 4 が "1" となるので、 NAND ゲート 1 1 の出力が "1" となり、D 1 が "1" となる。以下、同様な動作を繰返すことにより、最終段のフリップフロップ 1 0 の Q 4 から 7 分周された出力が得られる。

第3図は第2回路の各部の動作波形を示すタイミングチャートである。図に示す初期状態は上述の説明と同じ "1 0 0 0 0" である。最終的には、D 1, D 2, D 3, D 4, Q 4 波形はそれぞれ 1 クロックずつ遅れた同一周期のクロックとなり、その周期 T 内にクロックが 7 個入っており、7 分周されていることが分かる。

上述の説明では、初期値として "1 0 0 0 0" となる場合について説明したが、この回路はこの初期値の場合のみならず、その他の初期値の場合にも 7 分周回路として動作し、最終的な波形は第3図に示すようなものとなる。また、上述の実施例では、フリップフロップを 4 個用いた、つまり $n = 4$ で、7 分周回路の場合を例にとって説明し

たが、本発明はこれに限るものではなく、他の全ての自然数 n の場合について全く同様に適用することができる。

【発明の効果】

以上、詳細に説明したように、本発明によれば $n - 1$ 段目のフリップフロップの Q 出力と再集団 (n 段) のフリップフロップの Q 出力の NAND 出力を初段のフリップフロップの D 入力にフィードバックするという簡単な構成で、 2^{n-1} 分周回路を提供することができ、実用上の効果が極めて大きい。

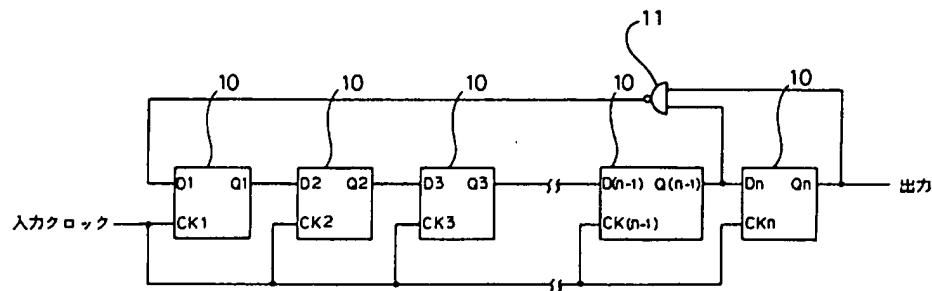
4. 図面の簡単な説明

第1図は本発明の原理ブロック図、
第2図は本発明の一実施例を示す回路図、
第3図は第2回路の各部の動作波形を示すタイミングチャート、
第4図は 1 / 16 分周回路の構成概念図、
第5図は第4回路の各部の動作波形を示すタイミングチャート、

第6図は 1 / 7 分周回路の従来構成例を示す図である。

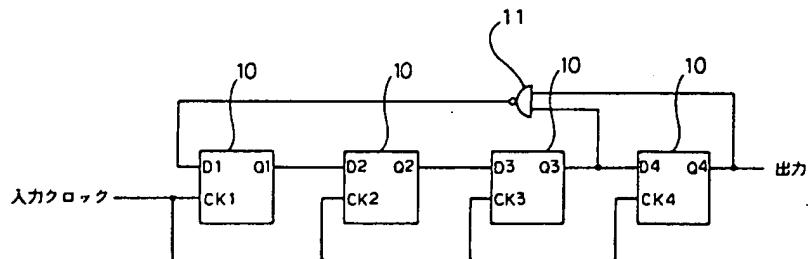
第1図において、
1 0 は D タイプフリップフロップ、
1 1 は NAND ゲートである。

特許出願人　富士通株式会社
代理人　弁理士　井島藤治
外 1 名



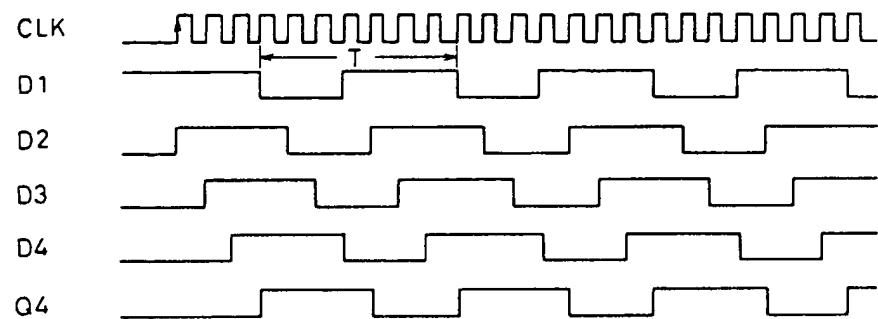
本発明の原理ブロック図

第 1 図



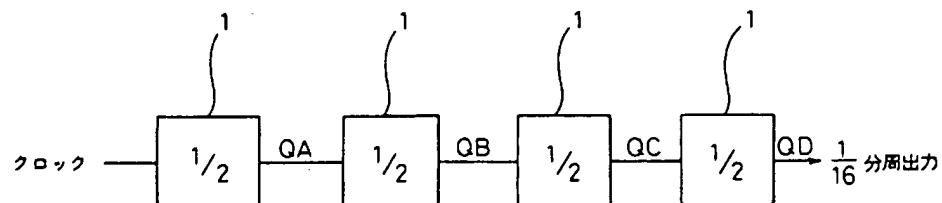
本発明の一実施例を示す回路図

第 2 図



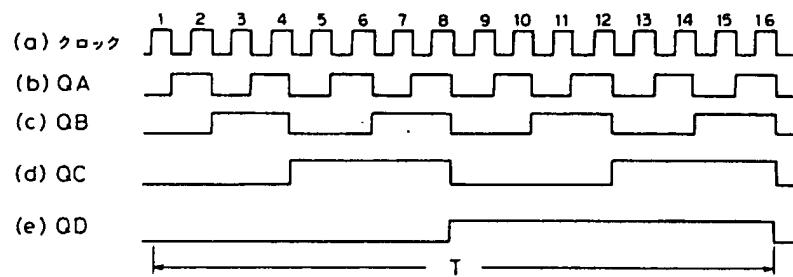
第2回路の各部の動作波形を示すタイミングチャート

第 3 図



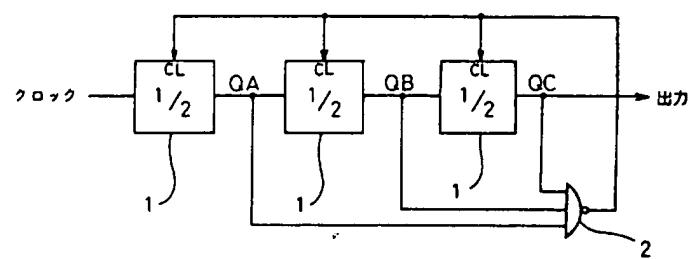
1/16 分周回路の構成概念図

第 4 図



第4回路の各部の動作波形を示すタイミングチャート

第 5 図



1/7 分周回路の従来構成例を示す図

第 6 図